

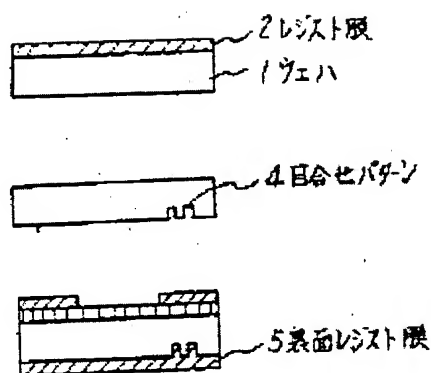
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP1185922
Publication date: 1989-07-25
Inventor: SEKIDO SAIKICHI
Applicant: NEC CORP
Classification:
- International: H01L21/30; H01L21/68
- european:
Application number: JP19880011102 19880120
Priority number(s):

Abstract of JP1185922

PURPOSE:To reduce an alignment error between processes, to eliminate the occurrence of a detection error due to the interference of a beam and to eliminate a limitation due to an exposure wavelength of a resist material and a wavelength of a position detection beam by a method wherein an alignment pattern is formed on the rear of a wafer and masks of individual processes are aligned with this alignment pattern.

CONSTITUTION:An alignment pattern 4 is formed on the rear of a wafer 1 at the beginning of a lithographic process; alignment patterns of masks to be used in individual processes after the process are aligned with the pattern 4 by means of a projection aligner; a resist film 2 on the surface of the wafer is exposed to light; the rear of the wafer is covered with a protective film 5 so that this part is not influenced by the process such as an etching process or the like; the pattern is used commonly until a final process. By this setup, an alignment error between the processes can be reduced; it is possible to eliminate the occurrence of a detection error due to the interference of a beam and to eliminate a limitation by a wavelength of a position detection beam and a wavelength of an exposure beam of a resist material.



Data supplied from the **esp@cenet** database - Worldwide

⑤ Int. Cl.⁴

H 01 L 21/30

21/68

識別記号

3 0 1

3 1 1

庁内整理番号

M-7376-5F

B-7376-5F

F-7454-5F

⑬ 公開 平成1年(1989)7月25日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭63-11102

⑯ 出 願 昭63(1988)1月20日

⑰ 発 明 者 関 戸 才 吉

東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

ウェハ裏面にマスク目合せのためのパターンをつけ、しかる後に該パターンを基準としてウェハ表面にパターン形成のための位置合せを行う製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にリソグラフィ工程に使用するマスクの目合せ方法に関する。

〔従来の技術〕

従来、リソグラフィ工程においてマスクの目合せを行うときには、各工程において使用するマスク上に目合せパターンをそれぞれ形成し、ウェ

ハの製造工程に従って前工程までにウェハ表面に製造されている目合せパターンにマスクの目合せパターンを合わせてレジスト膜に露光していた。

〔発明が解決しようとする問題点〕

上述した従来の製造方法では、ウェハ上の目合せパターンは製造する集積回路のパターンと同一プロセスを経るため、前工程の目合せパターンが後工程によって消されたり覆われたりして見えなくなることがある。このため、必要な工程間に対応するための複数の目合せパターンを設けたり、前工程の目合せパターンに合せて後工程で新たに目合せパターンをつくってさらに後工程へと引継いでいく方法がとられている。このため、目合せパターンのために大きな面積がとられたり工程間で引継いでいくときに目合せ誤差が累積するという欠点がある。また、目合せはウェハ上にレジスト材を塗布した状態で行うので、レジスト膜厚による光の干渉を原因とする目合せ誤差が発生したり、目合せを行うときの光の波長がレジスト材の露光の波長以外のものでなければならなかったり

する。最後の問題はレジスト材を選定するときの制限事項にもなっている。

〔問題点を解決するための手段〕

本発明の半導体装置の製造方法はリソグラフィ工程の最初においてウェハ裏面に目合せパターンを製造し、以後の工程はこのパターンにそれぞれの工程に使用するマスクの目合せパターンを露光投影装置を介して一致させ、ウェハ表面のレジスト膜に露光し、ウェハ裏面は保護膜で覆ってエッチングなどの工程の影響を受けないようにし、最終工程まで共通して使用する方法である。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のウェハ裏面に目合せパターンを作成するまでの製造方法を説明する図である。ウェハ1にレジスト膜2を塗布し(イ)、ウェハ裏面用の目合せパターンをもつマスクを介して露光現像し(ロ)、エッチングし(ハ)、レジスト膜2を剝離して表裏を反すと(ニ)、裏面に

この工程のマスクを位置合わせして露光現像する(ロ)。そして、ウェハ表面からイオンインプランテーションを行って拡散層6を作成し(ハ)、レジスト膜2を剝離すると(ニ)、イオンインプランテーション工程は完了する。この実施例ではイオンインプランテーションをウェハ表面に限定できるので、第2図のようなウェハ裏面の保護のためのレジスト膜塗布を省略することができる。

〔発明の効果〕

以上説明したように本発明はウェハ裏面に目合せパターンを設け、各工程のマスクをこの目合せパターンと位置合わせすることにより、工程間の位置合わせ誤差を少なくし、従来の方法のレジスト膜を通した位置検出による不具合、すなわち光の干渉による検出誤差の発生、レジスト材の露光波長と位置検出光の波長とからくる制限をなくすることができる効果がある。

以下 余白



目合せパターン4のあるウェハが製造される。

第2図は第1図に続いてウェハ表面に膜を形成してそれをエッチングする製造工程を説明する図である。ウェハ1の表面に所望の材料によって膜を成長させて形成膜3とし(イ)、その上にレジスト膜2を塗布し(ロ)、エッチング用のマスクをウェハ1の裏面の目合せパターン4と位置合わせをして露光現像する(ハ)。つぎに、レジスト膜5をウェハ1の裏面に塗布し(ニ)、固化させてエッチングすると(ホ)、ウェハ1の表面の形成膜3はエッチングされ、ウェハ1の裏面の目合せパターン4は保護されている。そして、レジスト膜2、5を剝離すると(ヘ)、エッチング工程は完了する。

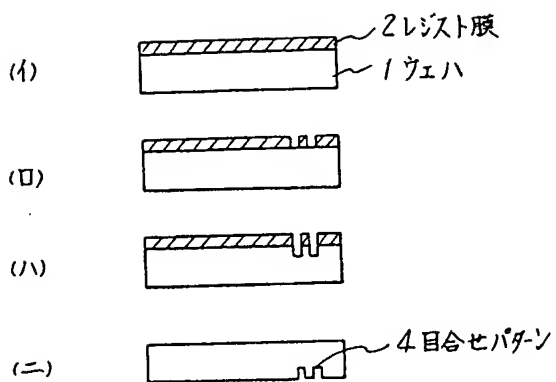
第3図は本発明の他の実施例の製造方法を説明する図である。第1図に示した方法でウェハ1の裏面に目合せパターン4を作成し、つぎに第3図に示す方法でウェハ表面にイオンインプランテーションを行う。ウェハ1の表面にレジスト膜2を塗布し(イ)、ウェハ裏面の目合せパターン4に

4. 図面の簡単な説明

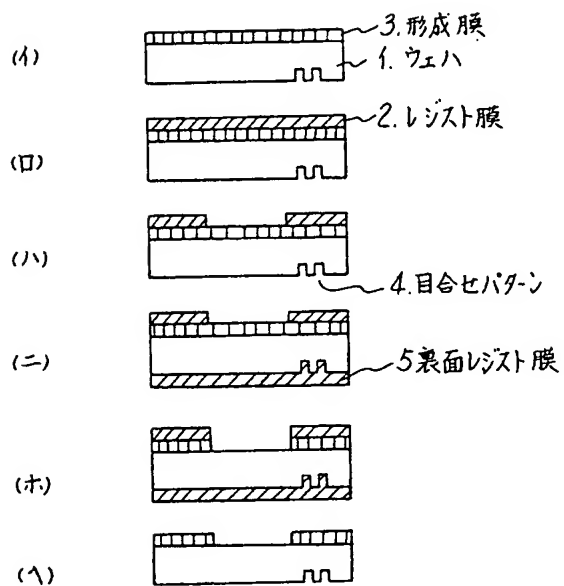
第1図(イ)～(ニ)は本発明の一実施例のウェハ裏面に目合せパターンを作成するまでの製造方法を示す各工程での断面図、第2図は(イ)～(ヘ)は第1図以降の製造方法を示す各工程での断面図、第3図は(イ)～(ニ)は本発明の他の実施例による製造方法を説明する各工程での断面図である。

1……ウェハ、2、5……レジスト膜、3……形成膜、4……目合せパターン、6……拡散層。

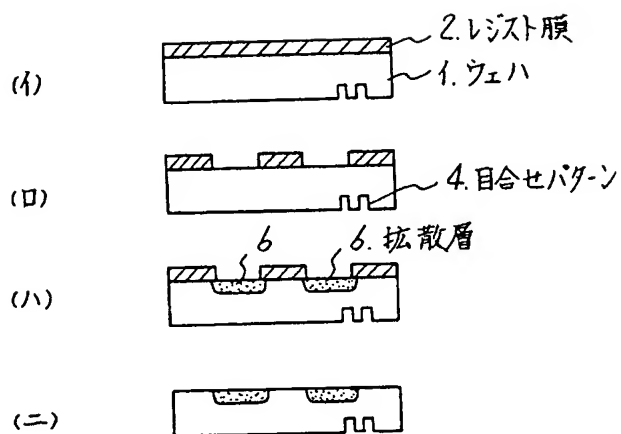
代理人 弁理士 内原 晋



第1図



第2図



第3図